



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

J1046 U.S. PTO

09/785330



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月28日

願 番 号

Application Number:

特願2000-092971

願 人

licant (s):

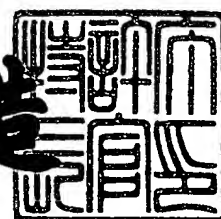
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月18日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3075885

【書類名】 特許願

【整理番号】 0000062

【提出日】 平成12年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 7/146

【発明の名称】 イメージセンサ

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山本 克義

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 船越 純

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092587

【弁理士】

【氏名又は名称】 松本 眞吉

【電話番号】 0426-20-7053

【手数料の表示】

【予納台帳番号】 004880

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705607

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 イメージセンサ

【特許請求の範囲】

【請求項 1】 受光素子を含む画素が 2 次元的に配列された画素アレイと、
該画素アレイを走査して画素から光積分信号を読み出させる読み出し回路と、
制御回路とを有し、該制御回路は、
該読み出し回路への電源供給を停止させて該画素アレイに光積分を行わせる光
積分期間と、

該読み出し回路を動作させて該光積分信号を読み出させる読み出し期間と、
該画素アレイ及び該読み出し回路への電源供給を停止させるパワーオフ期間と

を繰り返すことを特徴とするイメージセンサ。

【請求項 2】 受光素子を含む画素が 2 次元的に配列された画素アレイと、
該画素アレイを垂直走査する垂直走査回路と、
該垂直走査により選択されている画素行の光積分信号をサンプリングして保持
するサンプルホールド回路と、

該サンプルホールド回路を水平走査する水平走査回路と、

該水平走査により該サンプルホールド回路から読み出された信号を増幅する増
幅回路と、

制御回路とを有し、該制御回路は、

該サンプルホールド回路及び該水平走査回路への電源供給を停止させて画素ア
レイに光積分を 1 フレーム期間以上行わせる光積分期間と、

該垂直走査回路、該サンプルホールド回路及び該水平走査回路を動作させて光
積分信号を 1 フレーム期間読み出させる読み出し期間と、

該画素アレイ、該垂直走査回路、該サンプルホールド回路、該水平走査回路及
び該増幅回路への電源供給を 1 フレーム期間以上停止させるパワーオフ期間と、
を繰り返すことを特徴とするイメージセンサ。

【請求項 3】 受光素子を含む画素が 2 次元的に配列された画素アレイと、
該画素アレイを走査して画素から光積分信号を読み出させる読み出し回路と、

制御回路とを有し、該制御回路は、

該読み出し回路への電源供給を停止して該画素アレイに光積分を行わせる光積分期間と、

該読み出し回路を動作させて該光積分信号を読み出させる読み出し期間と、
を繰り返すことを特徴とするイメージセンサ。

【請求項 4】 受光素子を含む画素が 2 次元的に配列された画素アレイと、
該画素アレイを垂直走査する垂直走査回路と、

該垂直走査により選択されている画素行の光積分信号をサンプリングして保持するサンプルホールド回路と、

該サンプルホールド回路を水平走査する水平走査回路と、

該水平走査により該サンプルホールド回路から読み出された信号を増幅する増幅回路と、

制御回路とを有し、該制御回路は、

該サンプルホールド回路及び該水平走査回路への電源供給を停止させて画素アレイに光積分を所定のフレーム期間行わせる光積分期間と、

該垂直走査回路、該サンプルホールド回路及び該水平走査回路を動作させて光積分信号を 1 フレーム期間読み出させる読み出し期間と、

を繰り返すことを特徴とするイメージセンサ。

【請求項 5】 受光素子を含む画素が 2 次元的に配列された画素アレイと、
該画素アレイを垂直走査する垂直走査回路と、

該垂直走査により選択されている画素行の光積分信号をサンプリングして保持するサンプルホールド回路と、

該サンプルホールド回路を水平走査する水平走査回路と、

該水平走査により該サンプルホールド回路から読み出された信号を増幅する増幅回路と、

制御回路とを有し、該制御回路は、

該サンプルホールド回路及び該水平走査回路への電源供給を停止させて画素アレイに光積分を 1 フレーム期間行わせる光積分期間と、

該垂直走査回路、該サンプルホールド回路及び該水平走査回路を動作させて光

積分信号を所定のフレーム期間以上読み出させる読み出し期間と、
を繰り返すことを特徴とするイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低消費電力モードを有する動画像撮像用イメージセンサに関する。

【0002】

【従来の技術】

携帯装置に用いられるイメージセンサでは、消費電力の低減化が要求されている。

【0003】

半導体チップの消費電力低減化には、次のような方法がある。

【0004】

(1) 動作不要期間において、動作クロックを停止させる。

【0005】

(2) 分周器でクロック周波数を $1/2$ 、 $1/4$ 又は $1/8$ 等に低下させる。

【0006】

しかし、イメージセンサのチップは、アナログ回路とデジタル回路とを備え、デジタル回路の消費電力に対するアナログ回路のそのの比が大きいので、このような方法では動画像を撮像する場合のイメージセンサの消費電力を大きく低減することができない。

【0007】

アナログ回路の電源をオン／オフ制御すると、オフの影響が1フレーム後に出るので、電源を単純にオフにすることはできない。

【0008】

【発明が解決しようとする課題】

他方、試写体の変化が緩やかである場合や試し撮り等においては、必ずしも全コマ撮像する必要がないので、フレームレートを落としてその分だけ低消費電力化したい。

【 0 0 0 9 】

本発明の目的は、このような点に着目し、フレームレートを落とした場合に内部回路用電源のオン／オフ制御を細かく行なうことによりフレームレート削減分だけ低消費電力化することが可能なイメージセンサを提供することにある。

【 0 0 1 0 】

【課題を解決するための手段及びその作用効果】

本発明によるイメージセンサでは、
 受光素子を含む画素が2次元的に配列された画素アレイと、
 該画素アレイを走査して画素から光積分信号を読み出させる読み出し回路と、
 制御回路とを有し、該制御回路は、
 該読み出し回路への電源供給を停止させて該画素アレイに光積分を行わせる光積分期間と、
 該読み出し回路を動作させて該光積分信号を読み出させる読み出し期間と、
 該画素アレイ及び該読み出し回路への電源供給を停止させるパワーオフ期間とを繰り返す。

【 0 0 1 1 】

このイメージセンサによれば、光積分期間において読み出し回路への電源供給が停止し、さらに、パワーオフ期間において画素アレイ及び読み出し回路への電源供給が停止するので、ほぼフレームレート削減分だけイメージセンサを低消費電力化することが可能である。換言すれば、従来、光積分と読み出しとが並列動作していたものを、上記のように時分割でオン／オフ制御するので、低消費電力化が効果的に達成される。

【 0 0 1 2 】

本発明による他のイメージセンサでは、
 受光素子を含む画素が2次元的に配列された画素アレイと、
 該画素アレイを走査して画素から光積分信号を読み出させる読み出し回路と、
 制御回路とを有し、該制御回路は、
 該読み出し回路への電源供給を停止して該画素アレイに光積分を行わせる光積分期間と、

該読み出し回路を動作させて該光積分信号を読み出させる読み出し期間とを繰り返す。

【0013】

このイメージセンサによれば、光積分期間において読み出し回路への電源供給が停止するので、ほぼフレームレート削減分だけイメージセンサを低消費電力化することが可能である。

【0014】

本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【0015】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

【0016】

〔第1実施形態〕

図1は、本発明の第1実施形態の2次元イメージセンサの概略ブロック図である。2次元イメージセンサは、例えばMOS型である。

【0017】

画素アレイ10は、行及び列に配列された画素（例えばホトダイオード、該ホトダイオードの一端に接続された電位リセット用トランジスタスイッチ、該ホトダイオードの該一端と垂直バスラインの間に直列接続されたバッファアンプ及び読み出し用トランジスタスイッチ）を備えている。垂直走査回路11は、画素アレイ10を線（行）順次に走査する。これにより、選択された行の受光素子に光積分された信号が垂直バス12上に読み出される（垂直読み出し）。垂直バス12上の信号は、サンプルホールド制御回路13からの制御信号に応答して、サンプルホールド回路14に保持される。選択された行の受光素子がリセットされて、この行の光積分が開始される。

【0018】

サンプルホールド回路14は例えば、相関2重サンプリング回路（CDS）であり、この場合、光積分信号の読み出し及び保持の詳細は次の通りである。サンプルホールド回路がリセットされ、第1回サンプリングにより（光積分信号 V_x

) + (フォトダイオードに結合されたトランジスタの特性のばらつきに依存した成分 ΔV)の電圧がサンプルホールド回路14にサンプリングされ、次いで選択行の受光素子がリセットされ、次いで第2回サンプリングにより、 $V_x + \Delta V$ と ΔV の差である光積分信号電圧 V_x がサンプルホールド回路14に保持される。

【0019】

水平走査回路15はサンプルホールド回路14を点順次に走査する。これにより、選択されたサンプルホールド回路の出力信号が水平バス16上に読み出される(水平読み出し)。水平バス16上の信号は、増幅回路17で増幅された後、A/D変換回路18でデジタル値に変換される。

【0020】

タイミング制御回路19は、クロックCLKに基づいて、垂直走査回路11、サンプルホールド制御回路13及び水平走査回路15を動作させるための制御信号を生成する。参照電圧発生回路20は、画素アレイ10にリセット電圧を供給し、サンプルホールド回路14及び増幅回路17に参照電圧を供給する。この参照電圧発生回路20は、電源回路21の一部である。

【0021】

電源回路21にはモード信号MODEが供給され、モード信号MODEが通常モードを示している時には、電源回路21は各回路へ電源電圧を常時供給する。モード信号MODEが低消費電力モードを示している時には、電源回路21は、電源制御回路22からのイネーブル信号EN1が活性である期間、ブロックBL1に電源電圧を供給し、イネーブル信号EN1が不活性の期間、この供給を停止し、電源制御回路22からのイネーブル信号EN2が活性である期間、ブロックBL2に電源電圧を供給し、イネーブル信号EN2が不活性の期間、この供給を停止する。

【0022】

ブロックBL1は、画素アレイ10と垂直走査回路11とを含む。ブロックBL2は、サンプルホールド制御回路13と、サンプルホールド回路14と、水平走査回路15と、増幅回路17と、A/D変換回路18とを含む。

【0023】

電源回路 21 は、低消費電力モードであっても、タイミング制御回路 19 及び電源制御回路 22 には電源電圧を常時供給する。

【0024】

参照電圧発生回路 20 は電源回路 21 の一部であるので、電源回路 21 がブロック BL1 に電源電圧を供給する時には、参照電圧発生回路 20 は画素アレイ 10 にリセット電圧を供給し、電源回路 21 がブロック BL2 に電源電圧を供給する時には、参照電圧発生回路 20 はサンプルホールド回路 14 にリセット電圧を供給するとともに、増幅回路 17 に参照電圧を供給する。

【0025】

電源制御回路 22 では、3 進カウンタ 23 のクロック入力端にタイミング制御回路 19 から垂直同期信号 VSYNC が供給され、カウンタ 23 の出力の下位ビット Q0 がイネーブル信号 EN2 であり、カウンタ 23 の出力の上位ビット Q1 をインバータ 24 で反転したものがイネーブル信号 EN1 である。カウンタ 23 は、カウント 0、1 及び 2 をサイクリックに出力し、カウントが 0 及び 1 のときイネーブル信号 EN1 が高レベルとなり、カウントが 1 のときイネーブル信号 EN2 が高レベルとなる。

【0026】

図 2 は、図 1 中の電源制御回路 22 の動作を示すタイムチャートである。

【0027】

次に、上記の如く構成されたイメージセンサの動作を、低消費電力モードの場合について説明する。

【0028】

初期状態では、カウンタ 23 のカウントが 2 であるとする。この状態では、ブロック BL1 及び BL2 には電源電圧が供給されていない。

【0029】

(光積分期間)

垂直同期信号 VSYNC の立ち上がりに対応してカウンタ 23 のカウントが 0 になり、イネーブル信号 EN1 が高レベルに遷移してブロック BL1 に電源電圧が供給される。

【0030】

垂直走査回路11は、タイミング制御回路19からの制御信号に応答して、垂直走査を行なう。これにより、上述の垂直読み出し及びリセットが線順次に行なわれる。ブロックBL2には電源電圧が供給されていないので、その電力消費は生じない。

【0031】

(読み出し期間)

垂直同期信号VSYNCの立ち上がりに応答してカウンタ23のカウントが1になり、EN2が高レベルに遷移してブロックBL2にも電源電圧が供給される。

【0032】

ブロックBL1では垂直読み出し及びリセットが線順次に行なわれ、ブロックBL2ではサンプルホールド回路14に1行分の信号が保持される毎に、上記水平読み出しが行われる。

【0033】

すなわち、この読み出し期間での動作は、通常モードでのそれと同じである。

【0034】

(パワーオフ期間)

垂直同期信号VSYNCの立ち上がりに応答してカウンタ23のカウントが2になり、イネーブル信号EN1及びEN2が共に低レベルに遷移して、ブロックBL1及びBL2への電源電圧供給が停止される。

【0035】

以下、このような光積分、読み出し及びパワーオフの期間がサイクリックに繰り返される。

【0036】

消費電流は、例えば次の通りである。

【0037】

画素アレイ10：約1mA

垂直走査回路11、サンプルホールド制御回路13、水平走査回路15、タイ

ミング制御回路 19 及び電源制御回路 22 の合計消費電流：約 3 mA

サンプルホールド回路 14：約 2.5 mA

増幅回路 17：約 8 mA

A/D 変換回路 18：約 12 mA

参照電圧発生回路 20：約 0.5 mA

ブロック BL2 に含まれているサンプルホールド回路 14、増幅回路 17 及び A/D 変換回路 18 の合計消費電流は約 22.5 mA と比較的大きい。

【0038】

本第 1 実施形態によれば、光積分期間において、ブロック BL2 への電源電圧供給が停止し、さらに、パワーオフ期間ではブロック BL1 及び BL2 への電源電圧供給が停止するので、例えば 10 フレーム期間では、イメージセンサの消費電力を通常動作モード時の約 1/3 にすることが可能である。

【0039】

[第 2 実施形態]

図 3 は、本発明の第 2 実施形態の 2 次元イメージセンサの概略ブロック図である。

【0040】

電源回路 21A は、低消費電力モードであっても、画素アレイ 10 には電源電圧を常に供給している。

【0041】

低消費電力モードである時、電源回路 21A は、イネーブル信号 EN1A が活性である期間、垂直走査回路 11 に電源電圧を供給し、イネーブル信号 EN1A が不活性の期間、この供給を停止する。

【0042】

電源制御回路 22A では、カウンタ 23 の出力ビット Q0 をインバータ 24 で反転した信号がイネーブル信号 EN1 であり、カウンタ 23 の出力ビット Q1 がイネーブル信号 EN2 である。

【0043】

他の点は、図 1 と同一構成である。

【 0 0 4 4 】

図 4 は、図 3 中の電源制御回路 2 2 A の動作を示すタイムチャートである。

【 0 0 4 5 】

次に、上記の如く構成されたイメージセンサの動作を、低消費電力モードの場合について説明する。

【 0 0 4 6 】

初期状態では、カウンタ 2 3 のカウントが 2 であるとする。この状態では、垂直走査回路 1 1 及びブロック B L 2 に電源電圧が供給されている。

【 0 0 4 7 】

(第 1 光積分期間)

垂直同期信号 V S Y N C の立ち上がりに対応してカウンタ 2 3 のカウントが 0 になり、イネーブル信号 E N 2 が低レベルに遷移してブロック B L 2 への電源電圧供給が停止される。

【 0 0 4 8 】

垂直走査回路 1 1 は、タイミング制御回路 1 9 からの制御信号に対応して、垂直走査を行なう。これにより、上述の垂直読み出し及びリセットが線順次に行なわれる。

【 0 0 4 9 】

(第 2 光積分期間)

垂直同期信号 V S Y N C の立ち上がりに対応してカウンタ 2 3 のカウントが 1 になり、イネーブル信号 E N 1 A が低レベルに遷移して垂直走査回路 1 1 への電源電圧供給が停止される。

【 0 0 5 0 】

これにより、画素アレイ 1 0 では光積分のみ行われる。

【 0 0 5 1 】

(読み出し期間)

垂直同期信号 V S Y N C の立ち上がりに対応してカウンタ 2 3 のカウントが 2 になり、イネーブル信号 E N 1 及び E N 2 が高レベルに遷移して、ブロック B L 1 及び B L 2 へ電源電圧が供給される。

【 0 0 5 2 】

これにより、第 1 実施形態での読み出しと同じ動作が行われる。

【 0 0 5 3 】

以下、このような第 1 光積分、第 2 光積分及びパワーオフの期間がサイクリックに繰り返される。

【 0 0 5 4 】

本第 2 実施形態によれば、第 1 及び第 2 の光積分期間においてブロック B L 2 への電源電圧供給がオフであり、パワーオフに近い状態になるので、例えば 1 5 フレーム期間では、イメージセンサの消費電力を通常動作モード時の 5 0 % 以下にすることが可能である。また、光積分時間が第 1 実施形態の 2 倍となって、イメージセンサの感度が向上する。

【 0 0 5 5 】

なお、電源制御回路 2 2 A の 3 進カウンタ 2 3 を 4 進以上のカウンタにすると共に論理構成を変更することにより、第 2 光積分期間を複数フレーム期間にして、光積分時間を第 1 実施形態より増やしてもよい。

【 0 0 5 6 】

〔第 3 実施形態〕

図 5 は、本発明の第 3 実施形態の 2 次元イメージセンサの概略ブロック図である。

【 0 0 5 7 】

電源回路 2 1 B は、低消費電力モードであっても、画素アレイ 1 0 及び垂直走査回路 1 1 には電源電圧を常に供給している。したがって、電源回路 2 1 B にはイネーブル信号 E N 1 が供給されない。

【 0 0 5 8 】

電源制御回路 2 2 B では、カウンタ 2 3 の出力ビット Q 0 と Q 1 とがオアゲート 2 5 に供給され、オアゲート 2 5 の出力がイネーブル信号 E N 2 である。

【 0 0 5 9 】

他の点は、図 1 と同一構成である。

【 0 0 6 0 】

図 6 は、図 5 中の電源制御回路 2 2 B の動作を示すタイムチャートである。

【 0 0 6 1 】

次に、上記の如く構成されたイメージセンサの動作を、低消費電力モードの場合について説明する。

【 0 0 6 2 】

初期状態では、カウンタ 2 3 のカウントが 2 であるとする。この状態では、ブロック B L 2 に電源電圧が供給されている。

【 0 0 6 3 】

(光積分期間)

垂直同期信号 V S Y N C の立ち上がりに応答してカウンタ 2 3 のカウントが 0 になり、イネーブル信号 E N 2 が低レベルに遷移してブロック B L 2 への電源電圧供給が停止される。

【 0 0 6 4 】

垂直走査回路 1 1 は、タイミング制御回路 1 9 からの制御信号に応答して、垂直走査を行なう。これにより、上述の垂直読み出し及びリセットが線順次に行なわれる。

【 0 0 6 5 】

(第 1 読み出し期間)

垂直同期信号 V S Y N C の立ち上がりに応答してカウンタ 2 3 のカウントが 1 になり、イネーブル信号 E N 2 が高レベルに遷移してブロック B L 2 への電源電圧供給が停止される。

【 0 0 6 6 】

これにより、第 1 実施形態での読み出しと同じ動作が行われる。

【 0 0 6 7 】

(第 2 読み出し期間)

垂直同期信号 V S Y N C の立ち上がりに応答してカウンタ 2 3 のカウントが 2 になり、イネーブル信号 E N 2 は高レベルを維持する。

【 0 0 6 8 】

これにより、上記読み出しと同じ動作が行われる。

【 0 0 6 9 】

以下、このような光積分、第 1 読み出し及び第 2 読み出しの期間がサイクリックに繰り返される。

【 0 0 7 0 】

本第 3 実施形態によれば、光積分期間においてブロック B L 2 への電源電圧供給がオフであるのでパワーオフに近い状態になり、イメージセンサの消費電力を通常動作モード時の約 2 / 3 にすることが可能である。さらに、3 フレーム期間中 2 フレーム期間が読み出しであるので、フレームレートを第 1 実施形態の 2 倍にすることができる。

【 0 0 7 1 】

〔第 4 実施形態〕

図 7 は、本発明の第 4 実施形態の 2 次元イメージセンサの概略ブロック図である。

【 0 0 7 2 】

このイメージセンサは、図 1 のそれに類似しており、図 1 中のイネーブル信号 E N 2 がイネーブル信号 E N 2 1 ~ E N 2 3 に分けれている点で第 1 実施形態と異なる。

【 0 0 7 3 】

低消費電力モードである時、電源回路 2 1 C は、イネーブル信号 E N 2 1 が活性である期間、サンプルホールド制御回路 1 3、サンプルホールド回路 1 4 及び水平走査回路 1 5 に電源電圧を供給し、イネーブル信号 E N 2 1 が不活性の期間、この供給を停止し、イネーブル信号 E N 2 2 が活性である期間、増幅回路 1 7 に電源電圧を供給し、イネーブル信号 E N 2 2 が不活性の期間、この供給を停止し、イネーブル信号 E N 2 3 が活性である期間、A / D 変換回路 1 8 に電源電圧を供給し、イネーブル信号 E N 2 3 が不活性の期間、この供給を停止する。

【 0 0 7 4 】

電源制御回路 2 2 C において、論理回路 2 6 は、カウンタ 2 3 の出力ビット Q 0 及びタイミング制御回路 1 9 からのタイミング補正信号に基づいて、図 8 に示すような、立ち上がり及び立ち下がりが互いにずれたイネーブル信号 E N 2 1 ~

EN 2 3 を生成する。

【 0 0 7 5 】

他の点は、図 1 と同一構成である。

【 0 0 7 6 】

上記構成の動作は、第 1 実施形態の説明及び図 8 から明らかであるので、その説明を省略する。

【 0 0 7 7 】

本第 4 実施形態によれば、上記ずれにより電流の急変が低減するので、電源電圧の変動が第 1 実施形態の場合よりも少なくなる。

【 0 0 7 8 】

なお、本発明には外にも種々の変形例が含まれる。

【 0 0 7 9 】

例えば上記第 1 実施形態において、フレームレートをさらに下げても問題ない場合には、パワーオフ期間を 2 垂直走査期間以上にしてもよい。

【 0 0 8 0 】

また、イメージセンサは A / D 変換回路 1 8 を備えていない構成であってもよい。イメージセンサは MOS 型に限定されず、CCD 型などであってもよい。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態の 2 次元イメージセンサの概略ブロック図である。

【図 2】

図 1 中の電源制御回路の動作を示すタイムチャートである。

【図 3】

本発明の第 2 実施形態の 2 次元イメージセンサの概略ブロック図である。

【図 4】

図 3 中の電源制御回路の動作を示すタイムチャートである。

【図 5】

本発明の第 3 実施形態の 2 次元イメージセンサの概略ブロック図である。

【図 6】

図 5 中の電源制御回路の動作を示すタイムチャートである。

【図 7】

本発明の第 4 実施形態の 2 次元イメージセンサの概略ブロック図である。

【図 8】

図 6 中の電源制御回路の動作を示すタイムチャートである。

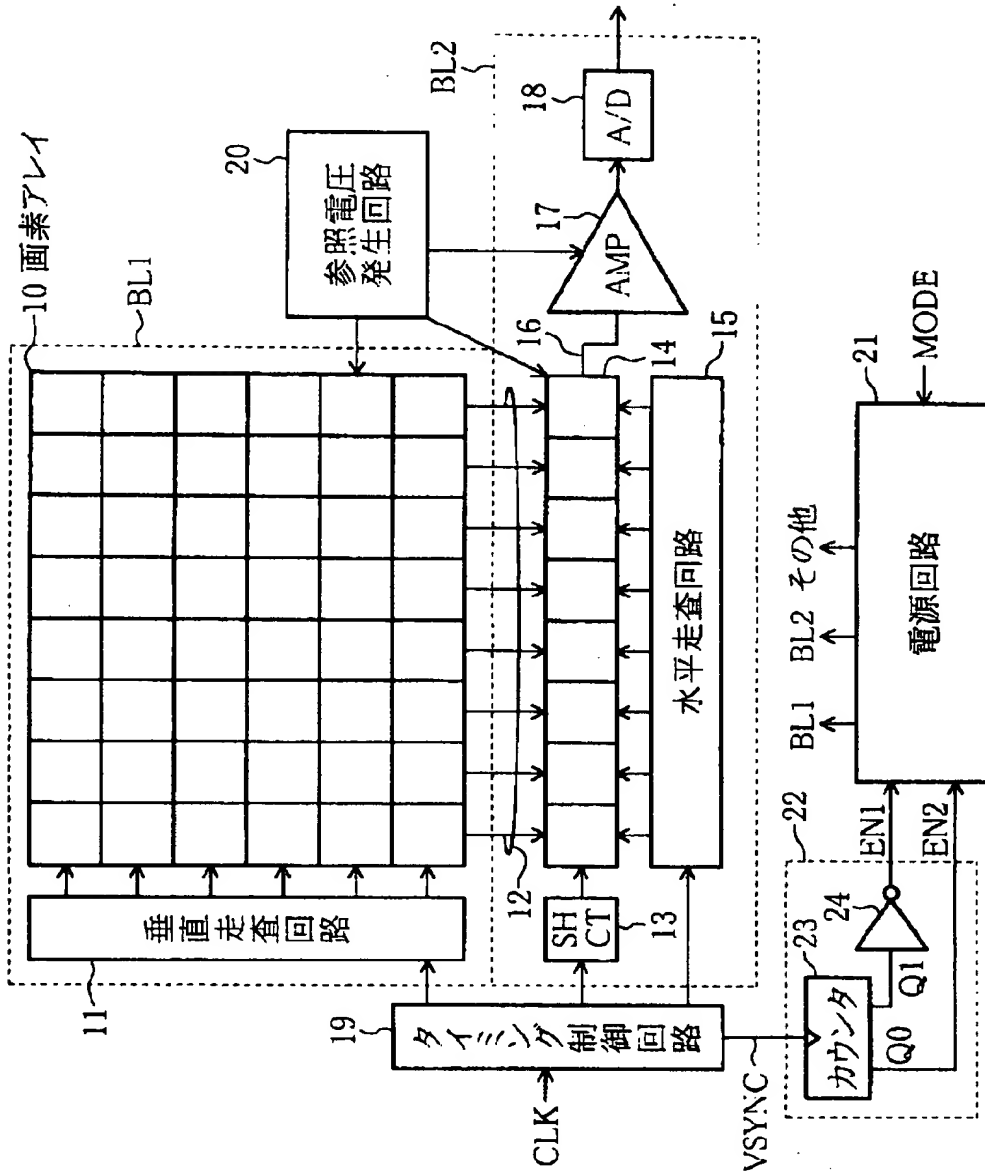
【符号の説明】

- 1 0 画素アレイ
- 1 1 垂直走査回路
- 1 2 垂直バス
- 1 3 サンプルホールド制御回路
- 1 4 サンプルホールド回路
- 1 5 水平走査回路
- 1 6 水平バス
- 1 7 増幅回路
- 1 8 A/D変換回路
- 1 9 タイミング制御回路
- 2 0 参照電圧発生回路
- 2 1、2 1 A～2 1 C 電源回路
- 2 2、2 2 A～2 2 C 電源制御回路
- 2 3 カウンタ
- 2 4 インバータ
- 2 5 オアゲート
- 2 6 論理回路
- B L 1、B L 2 ブロック

【書類名】 図面

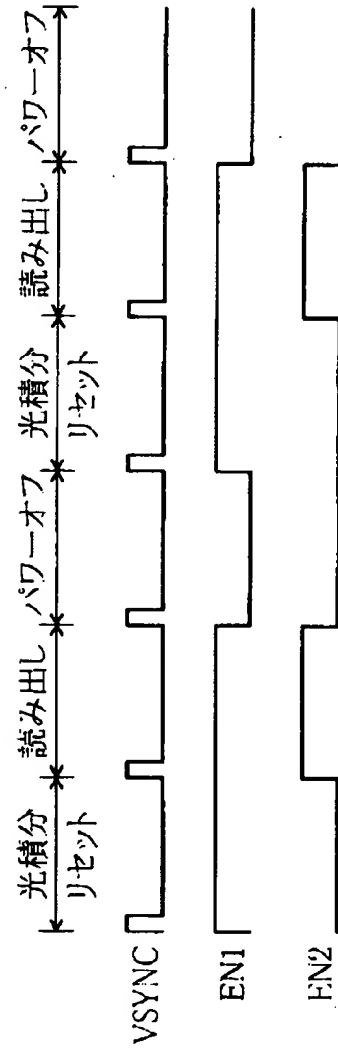
【図 1】

本発明の第1実施形態の2次元イメージセンサの概略ブロック図



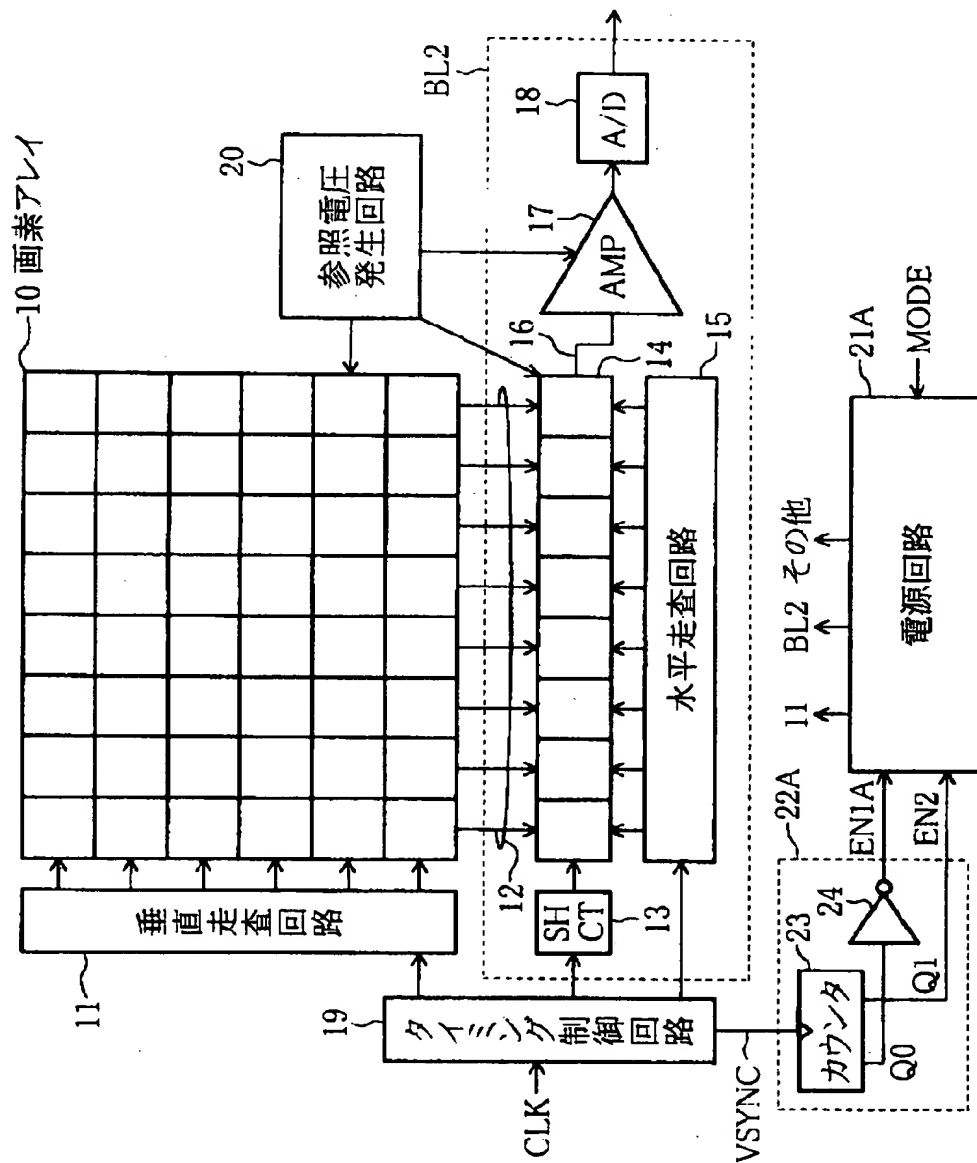
【図 2】

図 1 中の電源制御回路の動作を示すタイムチャート



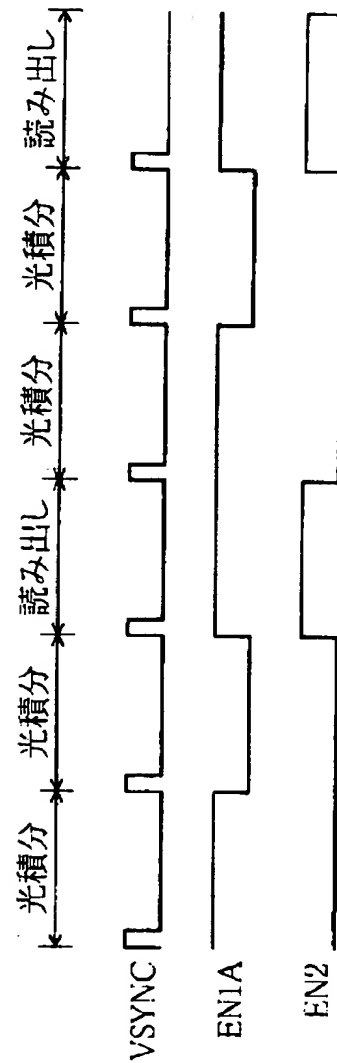
【図 3】

本発明の第2実施形態の2次元イメージセンサの概略ブロック図



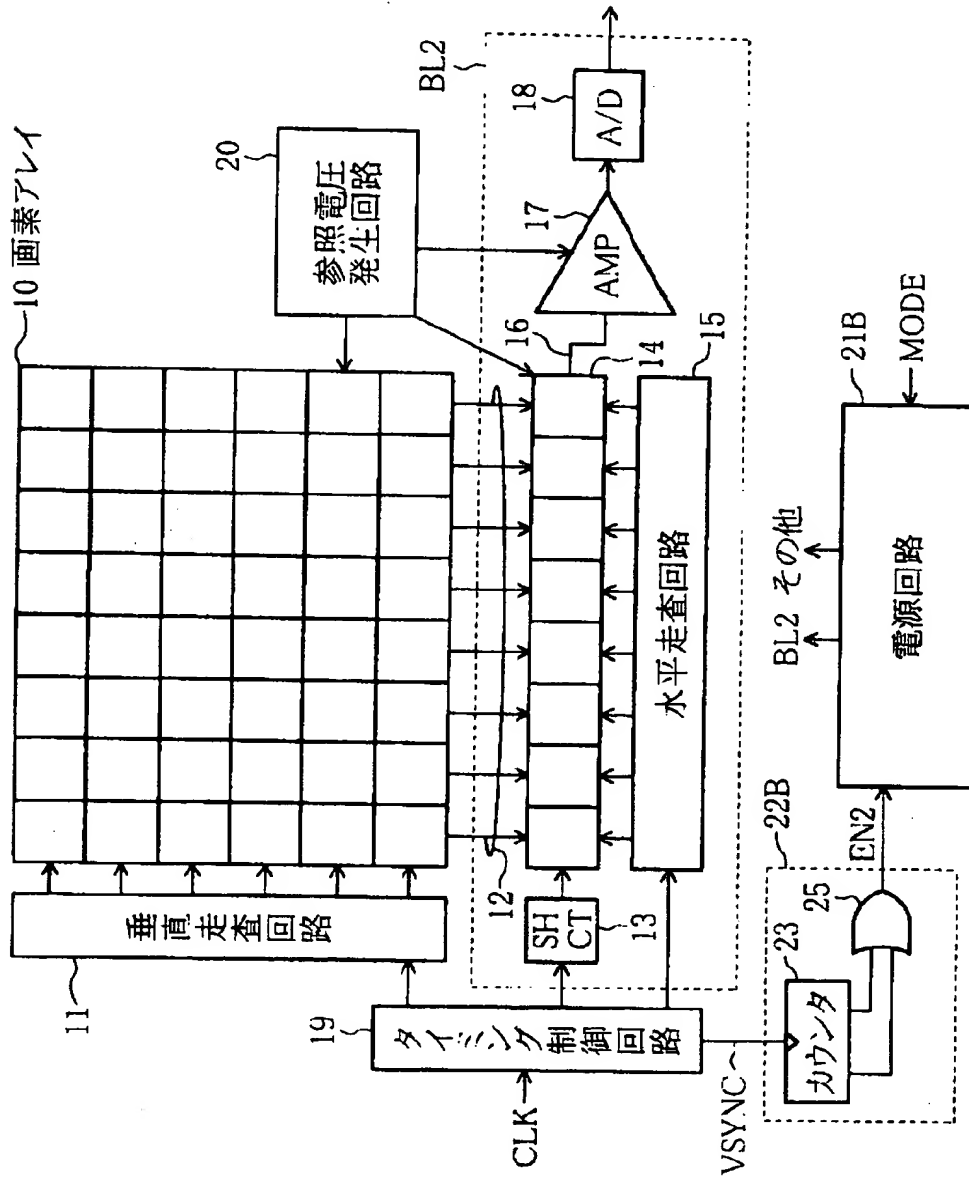
【図 4】

図3中の電源制御回路の動作を示すタイムチャート



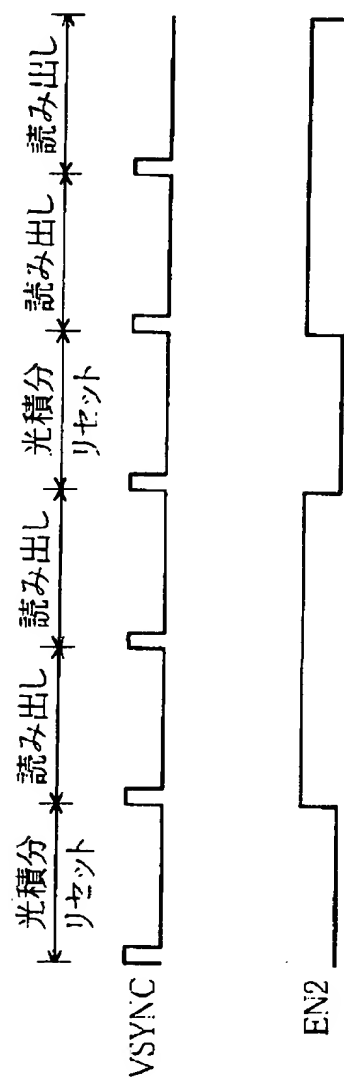
【図5】

本発明の第3実施形態の2次元イメージセンサの概略ブロック図



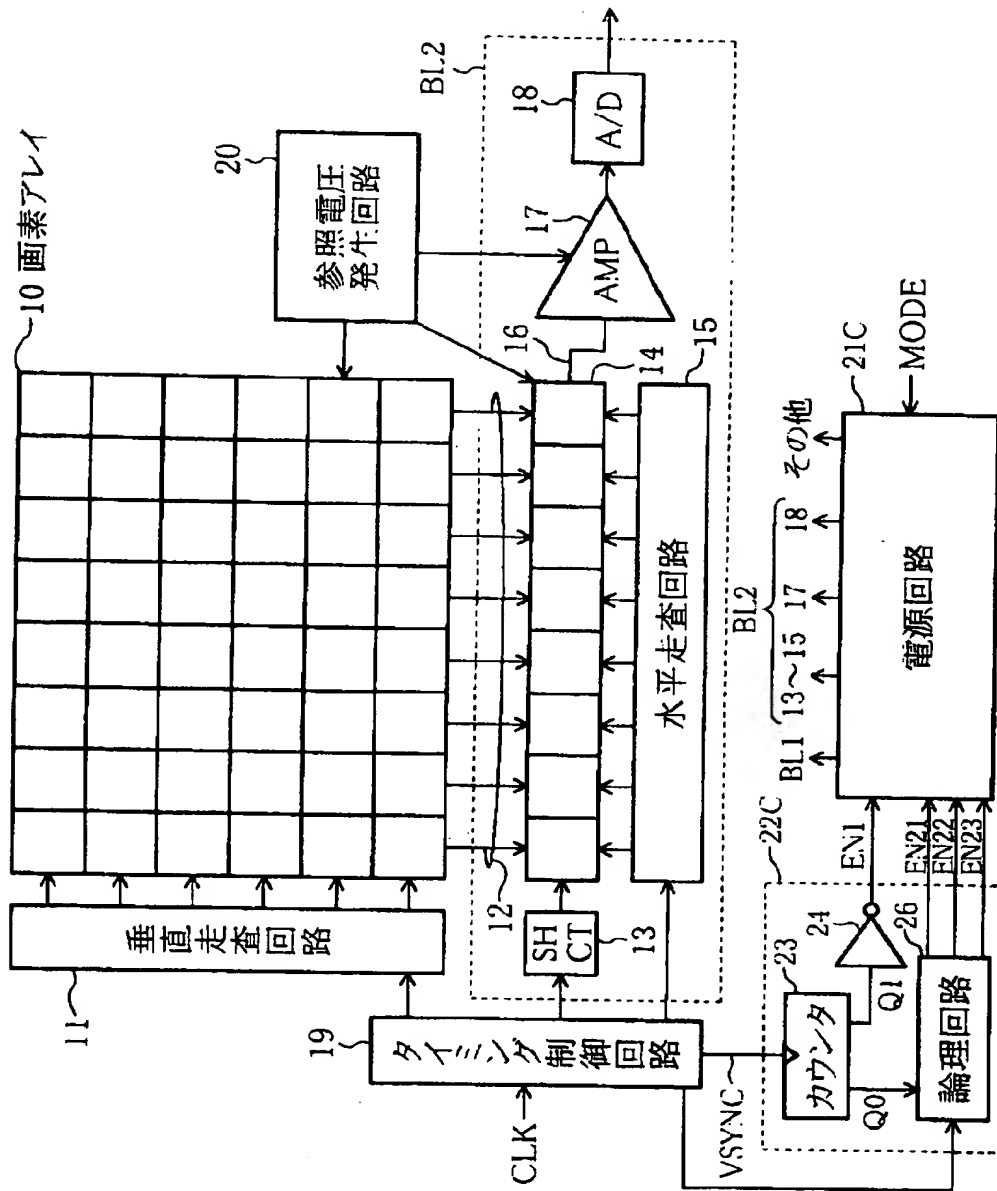
【図 6】

図5中の電源制御回路の動作を示すタイムチャート



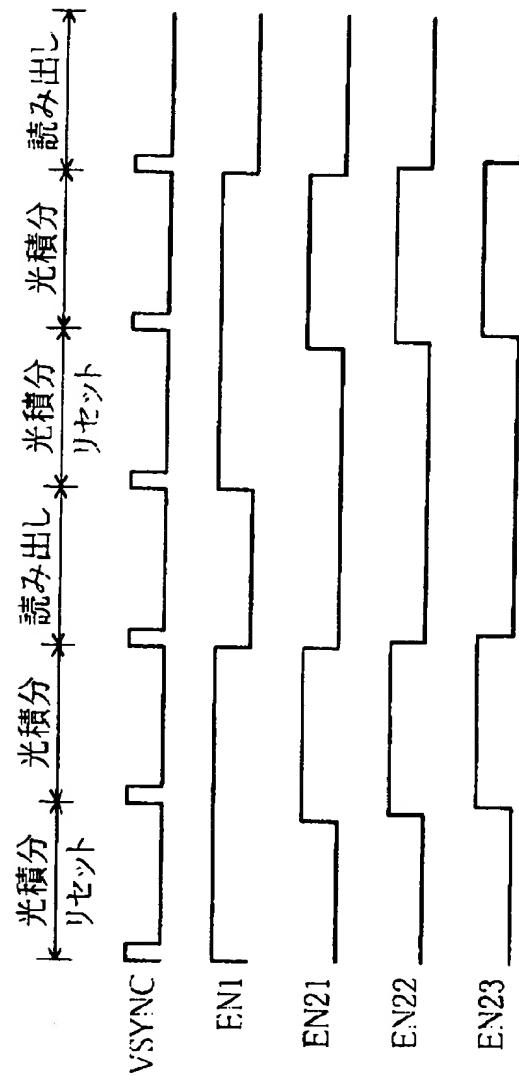
【図 7】

本発明の第4実施形態の2次元イメージセンサの概略ブロック図



【図 8】

図6中の電源制御回路の動作を示すタイムチャート



【書類名】 要約書

【要約】

【課題】 フレームレートを落とした場合にフレームレート削減分だけ低消費電力化する。

【解決手段】 ブロック B L 1 は、受光素子アレイ 1 0 と、垂直走査回路 1 1 とを含み、ブロック B L 2 は、サンプルホールド回路 1 4 と、水平走査回路 1 5 と、増幅回路 1 7 と、A / D 変換回路 1 8 とを含む。低消費電力モードの時、3 進カウンタ 2 3 を備えた電源制御回路 2 2 は電源回路 2 1 に対し、光積分期間においてブロック B L 2 への電源供給を停止させて受光素子アレイ 1 0 に光積分を 1 フレーム期間行わせ、読み出し期間においてブロック B L 1 及び B L 2 を動作させて光積分信号を 1 フレーム期間読み出させ、パワーオフ期間においてブロック B L 1 及び B L 2 への電源供給を 1 フレーム期間停止させ、これら 3 期間をサイクルに繰り返させる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社